

明 細 書

集合基板、半導体素子搭載部材、半導体装置、撮像装置、発光ダイオード構成部材、および発光ダイオード

技術分野

[0001] 本発明は、板状の絶縁部材を、複数、同一平面上に配列した形状に一体に形成される、セラミック製の集合基板と、前記集合基板を、各領域ごとに切り出した絶縁部材を用いて形成される半導体素子搭載部材と、前記半導体素子搭載部材を用いて形成される、撮像装置、発光ダイオード構成部材等の半導体装置と、前記発光ダイオード構成部材を用いて形成される発光ダイオードとに関するものである。

背景技術

[0002] 近年、デジタルカメラやカメラ付携帯電話の普及に伴って、CCD撮像素子、C-MOS撮像素子等の撮像素子の需要が急速に広まりつつある。また、画像の高画質化の要求に応じるために、撮像素子の画素数が飛躍的に増加する傾向にある上、特に、デジタル一眼レフカメラの普及に伴って、撮像素子の大型化も進展しつつある。また、近年、発光素子において、大光量の発光や、蛍光体と組み合わせる等して白色の発光が可能となってきたことから、前記カメラ付携帯電話のフラッシュ等として、発光素子を用いた発光ダイオードが広く利用されるようになってきている。

[0003] そこで、前記撮像素子や発光素子等の半導体素子の高出力化に伴って、その性能を十分に発揮させるために、例えば、AlN等の、高い放熱性を有するセラミックからなる、平板状の絶縁部材を用いた半導体素子搭載部材に対する需要が増加しつつある。前記半導体素子搭載部材は、例えば、前記絶縁部材の片面を、半導体素子搭載のための主面、反対面を、他部材との接続のための外部接続面とすると共に、主面に、半導体素子搭載用の複数の電極層、外部接続面に、他部材との接続用の複数の電極層を形成し、さらに、両面の各電極層を、絶縁部材を貫通させた複数の貫通穴内に形成した導電層やビア導体等を介して、個別に接続した構造に形成される。

[0004] 前記半導体素子搭載部材は、従来、絶縁部材の前駆体としてのセラミックグリーン

シートを用いて、いわゆるコファイア法によって製造されるのが一般的である(例えば、特許文献1、2参照)。すなわち、セラミックグリーンシートを、絶縁部材の外形に対応した平面形状に形成すると共に、その所定の位置に、貫通穴を形成した後、ビア導体の場合は、そのもとになる、セラミックグリーンシートの焼成と同時に焼成されてビア導体を形成する導電性のペーストを、貫通穴に充てんした状態で、セラミックグリーンシートと導電性のペーストとを同時に焼成することで、半導体素子搭載部材が製造される。

- [0005] また、例えば、所定の平面形状に形成したセラミックグリーンシートの、絶縁部材の主面、および外部接続面となる面に、導電性のペーストを、電極層の形状に対応する所定の平面形状に印刷または塗布し、セラミックグリーンシートの焼成と同時に焼成して下地金属層を形成した後、前記下地金属層の上に、めっき金属層を積層することによって、前記主面、および外部接続面の電極層が形成される。

特許文献1:特開平11-135906号公報

特許文献2:特開2002-232017号公報

発明の開示

発明が解決しようとする課題

- [0006] ところが、半導体素子搭載部材を、1つずつ、コファイア法で製造していたのでは、その生産性が低く、製造コストが高つくという問題があった。そこで、板状の絶縁部材を、複数、同一平面上に配列した形状に一体に形成された、セラミック製の集合基板を、前記コファイア法で形成した後、前記集合基板の、個々の領域を、ダイシング等によって切り出すことで、一度に複数の絶縁部材を製造することが検討された。しかし、絶縁部材となる領域を複数、包含する面積の大きなセラミックグリーンシートは、焼成時の収縮量が大きい上、全体が一様に収縮せず、不均等に収縮するという問題があった。例えば、矩形状のセラミックグリーンシートは、矩形の角よりも各辺の中央部付近が大きく内方に入り込むように収縮する。

- [0007] そのため、焼成前のセラミックグリーンシート上に、絶縁部材となる複数個の領域が、きれいにまっすぐに並んで配列されるように、各領域の貫通穴を形成しても、焼成時の収縮によって、貫通穴の形成位置が不均等にずれてしまうため、形成した集合

基板から、各領域を、ダイシング等によって個別に切り出すのが難しくなるという問題があった。そこで、各領域がきれいに並んでいない状態でも、ダイシング等によって個別に切り出すのを可能とするため、収縮による各領域の位置ずれを事前に見越して、各領域の形成間隔を広めに設定することが考えられたが、その場合には、一枚の集合基板上に形成できる領域の数が少なくなり、材料の無駄が多くなるという問題があった。

[0008] そこで、絶縁部材となる領域を複数、包含する大きなセラミックグリーンシートを、あらかじめ焼成して、一枚の集合基板を形成し、前記集合基板上に、絶縁部材となる複数の領域を設定して、各領域ごとに、レーザー加工等によって貫通穴を形成した後、各領域ごとに切り出して絶縁部材を製造することが検討されている。前記方法では、絶縁部材の主面側、および外部接続面側に、それぞれ、化学めっき、電気めっき等によって電極層を形成する工程と同時に、あるいは前後して、形成した貫通穴の内面をメタライズすることで、両電極層を接続する導電層が形成される。

[0009] しかし、レーザー加工によって形成される貫通穴は、レーザーの入射側から出射側へ向けて、その径が徐々に小さくなるテーパ状に形成されるため、レーザーの出射側の面において、前記面と、貫通穴の内面とが鋭角で交わることになり、鋭角で交わった角の部分は、物理蒸着、印刷、めっき等で形成するメタライズの密着性が弱かったり、膜厚が不均一になったりしやすいため、絶縁部材に電極層、導電層を形成する際に、電極層と導電層との接続不良等を生じやすいという問題があった。

[0010] 本発明の目的は、セラミックグリーンシートを焼成した後、貫通穴を形成する工程を経て製造され、前記貫通穴内に形成される導電層と、主面または外部接続面に形成される電極層とを、接続不良等を生じることなく、確実に接続することができる集合基板を提供することにある。また、本発明の目的は、前記集合基板を、各領域ごとに切り出した絶縁部材を用いて形成される半導体素子搭載部材と、前記半導体素子搭載部材を用いて形成される、撮像装置、発光ダイオード構成部材等の半導体装置と、前記発光ダイオード構成部材を用いて形成される発光ダイオードとを提供することにある。

課題を解決するための手段

- [0011] 前記の目的を達成するための、本発明の集合基板は、片面が、半導体素子搭載のための主面、反対面が、他部材との接続のための外部接続面とされた板状の絶縁部材を、複数、同一平面上に配列した形状に、セラミックによって一体に形成され、個々の絶縁部材となる領域内の所定位置、および、各領域とその外側の領域との境界線を跨ぐ位置のうちの少なくとも一方に、それぞれ、絶縁部材の厚み方向に貫通する貫通穴が形成されていると共に、各貫通穴を形成する内面が、前記主面側および外部接続面側の開口から、絶縁部材の厚み方向の1箇所にした最小穴部にかけて、それぞれ、開口寸法が徐々に小さくなるようにテーパ状に形成されていることを特徴とするものである。また、前記本発明の集合基板は、その熱伝導率が、 $10\text{W}/\text{mK}$ 以上であるのが好ましく、熱膨張係数が、 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下であるのが好ましい。また、前記本発明の集合基板は、そのもとになる板状の前駆体を焼成した後、貫通穴を形成して製造されるのが好ましい。さらに、本発明の集合基板は、絶縁部材となる領域の主面側に形成された、半導体素子搭載用の電極層と、外部接続面側に形成された、他部材との接続用の電極層と、貫通穴内に形成された、主面側の電極層と外部接続面側の電極層とを接続する導電層とを備えているのが好ましい。
- [0012] 本発明の半導体素子搭載部材は、前記電極層、導電層を備えた本発明の集合基板を、各領域ごとに切り出して製造されることを特徴とするものである。前記本発明の半導体素子搭載部材は、外部接続面の電極層の、最表面の少なくとも一部が、Auによって形成されているのが好ましい。
- [0013] また、前記本発明の半導体素子搭載部材は、主面に、半導体素子搭載のための領域が設定された絶縁部材と、前記主面上に、前記領域を囲むように積層された枠体とを備えているのが好ましく、前記絶縁部材と枠体の熱膨張係数が、共に $10 \times 10^{-6}/^{\circ}\text{C}$ 以下で、かつ、枠体の熱膨張係数と絶縁部材の熱膨張係数との差が、 $3 \times 10^{-6}/^{\circ}\text{C}$ 以下であるのが好ましい。さらに、前記本発明の半導体素子搭載部材は、絶縁部材の主面の、枠体で囲まれた半導体素子搭載のための領域の面積の80%以上が、少なくとも、半導体素子搭載用の電極層を含む金属層によって覆われているのが好ましい。
- [0014] 本発明の撮像装置は、前記本発明の半導体素子搭載部材と、前記半導体素子搭

載部材の、絶縁部材の主面の、枠体で囲まれた領域に搭載された、半導体素子としての撮像素子と、前記枠体の上面に、枠体内を密閉するために接合された、透光性の板材からなる蓋体とを備えていることを特徴とするものである。また、本発明の半導体装置は、前記本発明の半導体素子搭載部材と、前記半導体素子搭載部材のうち、絶縁部材の主面に搭載された、半導体素子とを備えていると共に、前記半導体素子が、封止材で封止されていることを特徴とするものである。

[0015] また、本発明の半導体装置は、前記電極層、導電層を備えると共に、貫通穴の最小穴部を、導電層を形成する導電材料によって埋めて、前記貫通穴を厚み方向に閉じた状態とした集合基板の、個々の絶縁部材となる領域の主面に、半導体素子を搭載し、次いで、前記集合基板の、半導体素子を搭載した主面側の全面を、封止材で封止した後、前記集合基板を、封止材と共に、各領域ごとに切り出して製造され、切り出した後の貫通穴の少なくとも一部が、絶縁部材の、主面および外部接続面と交差する側面において開放されていることを特徴とするものである。

[0016] 本発明の発光ダイオード構成部材は、前記本発明の半導体装置の、半導体素子が発光素子で、かつ、封止材が、蛍光体および保護樹脂のうちの少なくとも一方であることを特徴とするものである。また、前記本発明の発光ダイオード構成部材は、絶縁部材の主面の電極層の、最表面の少なくとも一部が、Ag、AlまたはAl合金によって形成されているのが好ましい。さらに、本発明の発光ダイオードは、凹部を有するパッケージと、前記パッケージの凹部の底面に搭載された、前記本発明の発光ダイオード構成部材と、凹部の開口に、前記凹部を密閉するために接合された、発光ダイオード構成部材からの光を透過しうる材料からなる封止キャップまたはレンズとを備えていることを特徴とするものである。

発明の効果

[0017] 本発明の集合基板においては、貫通穴を形成する内面が、絶縁部材の主面側、および外部接続面側の開口から、絶縁部材の厚み方向の1箇所にした最小穴部にかけて、それぞれ、開口寸法が徐々に小さくなるようにテーパ状に形成されているため、前記主面、および外部接続面と、貫通穴の内面とは、いずれの面側においても、鈍角で交わることになる。そのため、本発明の集合基板によれば、物理蒸着、印

刷、めっき等によって電極層や導電層を形成する際に、角部におけるメタライズのはく離や膜厚の不均一を大幅に低減させて、電極層と導電層とを、接続不良等を生じることなく、確実に接続することができ、半導体装置の信頼性を、これまでよりも向上させることが可能となる。

[0018] また、前記本発明の集合基板の熱伝導率を、 $10\text{W}/\text{mK}$ 以上とすると、半導体素子搭載部材の放熱性を高めて、半導体素子の高出力化に対応することが可能となる。また、集合基板の熱膨張係数を、 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下とすると、素子駆動時の熱履歴等によって膨張、収縮した際に半導体素子に過大な応力が加わって、前記素子が破損したり、電極層との接合が外れて接合不良を生じたりするのを、確実に、防止することが可能となる。

[0019] また、前記本発明の集合基板を、そのもとになる、セラミックグリーンシート等の板状の前駆体を焼成した後、貫通穴を形成して製造すると、前記前駆体の不均等な収縮による、貫通穴の、不均等な位置ずれを生じることがなくなる。そのため、収縮による位置ずれを事前に見越して、個々の絶縁部材となる領域の形成間隔を広めに設定する必要がなくなり、一枚の集合基板上に形成できる領域の数を多くすることができる上、材料の無駄を少なくすることが可能となる。

[0020] また、本発明の集合基板の、絶縁部材の主面、および外部接続面に電極層を形成すると共に、貫通穴の内面に導電層を形成すると、前記電極層と導電層とを、接続不良等を生じることなく、確実に接続することができる。そのため、前記本発明の集合基板を、各領域ごとに切り出して製造される本発明の半導体素子搭載部材によれば、主面上に搭載される半導体素子を、前記両電極層と導電層とを介して、接続不良等を生じることなく、確実に、他部材と接続することが可能となる。また、前記本発明の半導体素子搭載部材の、外部接続面の電極層の、最表面の少なくとも一部を、Auによって形成すると、前記電極層を、はんだ接合や、ワイヤボンディング等の、従来公知の種々の接続方法によって、他部材に設けた電極層と、より一層、確実に、導電接続することが可能となる。

[0021] 前記本発明の半導体素子搭載部材の、絶縁部材の主面に、半導体素子搭載のための領域を設定すると共に、前記領域を囲むように、絶縁部材の主面上に枠体を積

層すると、前記領域に半導体素子を搭載した後、前記枠体の上に蓋体を接合することで、搭載した半導体素子を封止することができる。特に、半導体素子が撮像素子である場合は、透光性の材料からなる蓋体を使用することで、撮像素子に、蓋体を通しての露光が可能な状態で、前記撮像素子を封止することができる。

[0022] 前記本発明の半導体素子搭載部材の、絶縁部材と枠体の熱膨張係数を、共に $10 \times 10^{-6}/^{\circ}\text{C}$ 以下とし、かつ、両者の熱膨張係数の差を、 $3 \times 10^{-6}/^{\circ}\text{C}$ 以下とすると、枠体の熱膨張係数を、絶縁部材と近づけることによって、両者の接合に反りが発生するのを防止すると共に、熱履歴による接合不良等の発生を防止することができる。

[0023] 前記本発明の半導体素子搭載部材の、絶縁部材の主面の、枠体で囲まれた半導体素子搭載のための領域の面積の80%以上を、少なくとも、半導体素子搭載用の電極層を含む金属層によって覆うようにすると、例えば、半導体素子が撮像素子である場合には、前記金属層を、遮光層として機能させて、絶縁部材を通して、撮像素子の背後から入射する光を遮断して、撮像素子の感度を向上させることができる。また、半導体素子が発光素子である場合は、前記金属層を反射層として機能させて、発光ダイオードの発光効率を向上させることができる。

[0024] 本発明の撮像素子は、前記枠体を備えた半導体素子搭載部材の、絶縁部材の主面の、枠体で囲まれた領域に、半導体素子としての撮像素子を搭載した後、前記枠体の上に、透光性の板材からなる蓋体を接合することで構成されるため、撮像素子に、蓋体を通しての露光が可能な状態で、前記撮像素子を封止することができる。

[0025] 本発明の半導体装置は、集合基板を各領域ごとに切り出して製造された半導体素子搭載部材の主面上に、半導体素子を搭載すると共に、封止材で封止した構造を有しており、従来の、半導体素子のチップと同様に取り扱って、配線基板等の、他部材の搭載部に搭載することができる。また、搭載部に搭載する前に、事前に、不良等の有無を検査することもできる。しかも、搭載作業等の際に、半導体素子に直接に触れなくてもよいので、静電気等による素子の破損の発生を極力、抑制することもできる。

[0026] また、本発明の半導体装置を、貫通穴の最小穴部が導電材料で埋められて厚み方向に閉じられた集合基板を用いて、その主面に半導体素子を搭載し、封止材で封

止した後、集合基板を、封止材と共に、各領域ごとに切り出して製造するようにすると、前記封止時に、封止材が、貫通穴を通して反対面側に漏れるのを防止することができる。そのため、例えば、集合基板の、半導体素子が搭載された片面側の特定の領域を、限定的に封止する手間を省いて、その全面を、封止材で保護することができ、半導体装置の、より一層の、小型化を推進することが可能となる。

[0027] また、集合基板から切り出した後の貫通穴の少なくとも一部を、絶縁部材の側面において開放するようにすると、露出した貫通穴の内面に形成した導電層を、はんだフィレットの形成部として機能させることができる。そのため、半導体装置を、他部材の搭載部に、はんだ付けによって搭載する際に、形成したはんだフィレットによって外部接続用の電極層を補助して、実装の信頼性を向上させることができる。

[0028] 本発明の発光ダイオード構成部材は、前記本発明の半導体装置のうち、半導体素子として発光素子を用い、かつ、封止材として、蛍光体および保護樹脂のうちの少なくとも一方を用いて構成されるため、従来の、発光素子のチップと同様に取り扱って、発光ダイオードのパッケージの搭載部や、多数の発光素子を面状に配列して構成される面発光体の基板の搭載部等に搭載することができる。また、これらの搭載部に搭載する前に、事前に、発光素子の良否の判定や、発光の色合いを調べることもできる。さらに、搭載作業等の際に、発光素子に直接に触れなくてもよいので、静電気等による素子の破損の発生を極力、抑制することもできる。

[0029] 前記本発明の発光ダイオード構成部材のうち、絶縁部材の主面の電極層の、最表面の少なくとも一部を、Ag、AlまたはAl合金によって形成すると、発光素子からの光、特に、蛍光体と組み合わせて白色発光させるために好適な、波長600nm以下の光を、できるだけ効率よく、発光ダイオード構成部材の前方側に反射させて、その発光効率を向上させることができる。また、本発明の発光ダイオードは、前記本発明の発光ダイオード構成部材を使用したものゆえ、高価な発光ダイオードのパッケージ等無駄にすることなく、効率よく製造することができる。

図面の簡単な説明

[0030] [図1]図1は、本発明の集合基板の、実施の形態の一例としての、撮像素子搭載用の絶縁部材のもとになる集合基板の一部を拡大した平面図である。

[図2]図2は、前記集合基板における、貫通穴の部分を拡大した断面図である。

[図3]図3は、集合基板を切り出した絶縁部材における、貫通穴の部分を拡大した断面図である。

[図4]図4は、絶縁部材の、主面側を示す平面図である。

[図5]図5は、主面上に枠体を接合して形成した半導体素子搭載部材を示す平面図である。

[図6]図6は、絶縁部材の、外部接続面側を示す底面図である。

[図7]図7は、半導体素子搭載部材の、絶縁部材の主面上の素子搭載領域に、半導体素子としての撮像素子を搭載すると共に、枠体上に透光性の蓋体を接合して形成した撮像装置の断面図である。

[図8]図8は、本発明の集合基板の、実施の形態の他の例としての、発光素子搭載用の絶縁部材のもとになる集合基板の一部を拡大した平面図である。

[図9]図9は、前記集合基板における、貫通穴の部分を拡大した断面図である。

[図10]図10は、前記集合基板を切り出した絶縁部材における、貫通穴の部分を拡大した断面図である。

[図11]図11は、絶縁部材の、主面側を示す平面図である。

[図12]図12は、絶縁部材の、外部接続面側を示す底面図である。

[図13]図13は、半導体素子搭載部材の、絶縁部材の主面に、半導体素子としての発光素子を搭載して、蛍光体および／または保護樹脂で封止した発光ダイオード構成部材を示す断面図である。

[図14]図14は、発光ダイオード構成部材をパッケージに搭載した発光ダイオードを示す断面図である。

[図15]図15は、本発明の半導体素子搭載部材の、実施の形態の他の例における、貫通穴の部分を拡大した図17のV方向矢視側面図である。

[図16]図16は、貫通穴の内面に導電層を形成する前の、同じ貫通穴の状態を示す側面図である。

[図17]図17は、前記例の半導体素子搭載部材の、主面側を示す平面図である。

[図18]図18は、外部接続面側を示す底面図である。

[図19]図19は、前記例の半導体素子搭載部材のもとになる絶縁部材を、集合基板から切り出す前の、貫通穴の部分を拡大した平面図である。

[図20]図20は、図19のB-B線断面図である。

[図21]図21は、貫通穴の変形部を拡大した平面図である。

[図22]図22は、図21のB-B線断面図である。

発明の実施の形態

[0031] 図1は、本発明の集合基板1の、実施の形態の一例としての、撮像素子搭載用の絶縁部材2のもとになる集合基板1の一部を拡大した平面図である。また、図2は、前記集合基板1における、貫通穴11の部分を拡大した断面図、図3は、集合基板1を切り出した絶縁部材2における、貫通穴11の部分を拡大した断面図である。また、図4は、絶縁部材2の、主面21側を示す平面図、図5は、主面21上に枠体4を接合して形成した半導体素子搭載部材BLを示す平面図、図6は、絶縁部材2の、外部接続面22側を示す底面図である。さらに、図7は、半導体素子搭載部材BLの、絶縁部材2の主面21上の素子搭載領域21aに、半導体素子としての撮像素子PE1を搭載すると共に、枠体4上に透光性の蓋体FLを接合して形成した撮像装置PE2の断面図である。

[0032] 図1を参照して、この例の集合基板1は、全体がセラミックによって平板状に形成されたもので、板状の絶縁部材2となる、所定の平面形状(図では矩形状)を有する複数の領域1aと、前記複数の領域1aを区画するように、各領域1aの間に縦横のマトリクス状に設けられた、ダイシングによって除去するための一定幅の領域1bとを包含している。図中の一点鎖線は、領域1a、1bを区画するための境界線Lである。また、各領域1aの、互いに平行な2長辺に対応する位置には、それぞれ、複数個(図では8個)ずつの貫通穴11が、前記境界線Lを跨いで形成されている。

[0033] 前記集合基板1は、そのもとになるセラミックの前駆体(セラミックグリーンシート等)を焼成して平板状に形成した後、後加工で、貫通穴11を形成して作製するのが好ましい。これにより、貫通穴11を、従来のコファイア法では形成することが困難な、高い位置精度でもって形成することができる。

[0034] 図2を参照して、各貫通穴11を形成する内面は、それぞれ、第1および第2の2つ

のテーパー面11b、11cで構成されている。そのうち、第1のテーパー面11bは、絶縁部材2の主面21側(図において上面側)から、絶縁部材2の厚み方向の1箇所にしたけた、平面形状が円形の最小穴部11aにかけて、開口径が徐々に小さくなるように円錐テーパー状に形成されていると共に、主面21で円形に開口されている。また、第2のテーパー面11cは、絶縁部材2の外部接続面22側(図において下面側)から、前記最小穴部11aにかけて、開口径が徐々に小さくなるように円錐テーパー状に形成されていると共に、外部接続面22で円形に開口されている。

[0035] 図の形状を有する貫通穴11を、あらかじめ焼成して平板状に形成した集合基板1に対して、後加工で形成する方法としては、種々の方法が考えられるが、特に、サンドブラスト法を利用した方法によって形成するのが好ましい。すなわち、図1および図2を参照して、集合基板1の外部接続面22側の、貫通穴11の開口に対応する円形の領域を露出させ、それ以外の領域をレジスト膜で保護した状態で、サンドブラスト法によって、集合基板1の露出した領域を、選択的に、厚み方向に穿孔して第2のテーパー面11cを形成する。それと共に、主面21側においても、同様に、貫通穴11の開口に対応する円形の領域を露出させ、それ以外の領域をレジスト膜で保護した状態で、サンドブラスト法によって、集合基板1の露出した領域を、選択的に、厚み方向に穿孔して第1のテーパー面11bを形成する。

[0036] そうすると、サンドブラスト法による穿孔の特徴として、穿孔が進むほど、その開口寸法が小さくなることから、両テーパー面11b、11cが円錐テーパー状に形成されると共に、両テーパー面11b、11cの連結部が最小穴部11aとされて、貫通穴11が形成される。前記方法では、両テーパー面11b、11cを形成するための穿孔深さや穿孔径を調整することで、最小穴部11aの開口径や、前記最小穴部11aの、絶縁部材2の厚み方向の形成位置を任意に制御することができる。

[0037] 前記の形状を有する貫通穴11においては、第1のテーパー面11bと、それと連続する主面21とが、鈍角である角度 θ_1 で交わると共に、第2のテーパー面11cと、それと連続する外部接続面22とが、やはり鈍角である角度 θ_2 で交わることになる。そのため、例えば、物理蒸着、印刷、めっき等によって、図3に示す電極層31、32や導電層33を形成する際に、第1のテーパー面11bと主面21との角部、および第2のテー

パー面11cと外部接続面22との角部におけるメタライズのはく離や膜厚の不均一を大幅に低減させることができ、電極層31、32と導電層33とを、接続不良等を生じることなく、確実に接続することが可能となる。そのため、撮像装置PE2の信頼性を向上させることが可能となる。

- [0038] なお、前記貫通穴11において、両テーパ面11b、11cが鋭角で交わっていると、両者の角部である最小穴部11aの部分のメタライズの密着性が低下して、導電層33が、最小穴部11aの部分で途切れたり、あるいはメタライズの膜厚が不均一になったりするおそれがある。厚みが均一で、最小穴部11aの上下の部分が良好につながれた導電層33を形成するためには、両テーパ面11b、11cも、鈍角である角度 θ_3 で交わっているのが好ましい。両テーパ面11b、11cのなす角度 θ_3 を鈍角にするためには、サンドブラスト法等による穿孔の条件を調整して、前記両テーパ面11b、11cのテーパの角度を調整すればよい。
- [0039] 集合基板1は、熱伝導率が $10\text{W}/\text{mK}$ 以上であるのが好ましい。熱伝導率が $10\text{W}/\text{mK}$ 以上であれば、半導体素子搭載部材BLの放熱性を高めて、撮像素子PE1の高出力化に対応することが可能となる。また、集合基板1は、熱膨張係数が $10 \times 10^{-6}/^\circ\text{C}$ 以下であるのが好ましい。熱膨張係数が $10 \times 10^{-6}/^\circ\text{C}$ 以下であれば、素子駆動時の熱履歴等によって膨張、収縮した際に撮像素子PE1に過大な応力が加わって、前記素子PE1が破損したり、接合が外れたりするのを防止することが可能となる。
- [0040] これらの条件を満足する集合基板1を形成する材料としては、 AlN 、 Al_2O_3 、 SiC 、 Si_3N_4 、 BeO 、 BN 等の絶縁性のセラミックを挙げることができ、コストの点では Al_2O_3 が好ましい。しかし放熱性を考慮すると、集合基板1の熱伝導率は、前記の範囲内でも $80\text{W}/\text{mK}$ 以上、特に、 $150\text{W}/\text{mK}$ 以上とするのが好ましく、かかる高い熱伝導率を達成するためには AlN または SiC が好ましい。また、撮像素子PE1との熱膨張係数の差を小さくすることを考慮すると、 AlN または Al_2O_3 が好ましい。
- [0041] したがって、放熱機能等を最優先するならば、前記のうちでも AlN によって集合基板1を形成するのが、特に好ましく、放熱機能がさほど要求されない場合には、 Al_2O_3 によって集合基板1を形成するのが好ましい。ただし、機械的強度等の、集合基板1のその他の物性との兼ね合いや、あるいは、製造コスト等を考慮すると、集合基板1

の熱伝導率は、前記の範囲内でも、特に、 300W/mK 以下とするのが好ましく、熱膨張係数は、前記の範囲内でも、特に、 $4 \times 10^{-6} \sim 7 \times 10^{-6} / ^\circ\text{C}$ とするのが好ましい。

- [0042] 前記集合基板1の主面21には、半導体素子搭載用の電極層31、外部接続面22には、他部材との接続用の電極層32、貫通穴11の内面には、両電極層31、32間を繋ぐ導電層33が形成される(図1～図6)。
- [0043] 前記のうち、主面21側の電極層31は、複数個が、各貫通穴11に対応して独立して形成される。また、図の例では、個々の電極層31は、絶縁部材2となる領域1aの、互いに平行な矩形の2長辺のうちの1辺に対応する位置に形成した貫通穴11から、もう1辺の長辺の方向に向けて延設された矩形状に形成される。一方、外部接続面22側の電極層32は、やはり複数個が、各貫通穴11に対応して独立して形成され、個々の電極層32は、絶縁部材2となる領域1aの、互いに平行な矩形の2長辺のうちの1辺に対応する位置に形成した貫通穴11から、もう1辺の長辺の方向に向けて延設された矩形状に形成される。さらに、導電層33は、貫通穴11の内面の全面を覆うと共に、集合基板1の主面21側で電極層31、外部接続面22側で電極層32と接続するように形成される。
- [0044] また、主面21には、各電極層31と接触しないように隙間gを設けた状態で、金属層5が形成される。金属層5は、電極層31と共に、前記主面21のうち、枠体4で囲まれた、半導体素子搭載のための領域21aを覆う遮光層として機能する。すなわち、金属層5は、絶縁部材2を通して、前記領域21aに搭載される撮像素子PE1の背後から入射する光を遮断して、撮像素子PE1の感度を向上させるために用いられる。
- [0045] 電極層31と金属層5とは、領域21aの面積の80%以上を覆うように形成するのが好ましい。これにより、電極層31と金属層5とを、遮光層として十分に機能させることができる。ただし、複数の電極層31は、互いに離間している必要があり、また、金属層5も、各電極層31とは互いに離間している必要がある。そのため、電極層31、金属層5間には、必ず隙間gが必要であり、領域21aの面積の100%、つまり、領域21の全面を、電極層31や金属層5で覆うことはできない。電極層31と金属層5との間に、複数の電極層31間の短絡を防止しうる十分な隙間gを確保することを考慮すると、電

極層31と金属層5とは、領域21aの面積の、95%以下を覆うように形成するのが好ましい。なお、各電極層31を、領域21aの面積の80~95%を覆うように、大きめに形成して、金属層5を省略することもできる。

[0046] 電極層31、32、および導電層33は、いずれも、従来公知の種々の、導電性に優れた金属材料等によって形成することができる。また、前記各層は、湿式めっき法や、あるいは真空蒸着法、スパッタリング法等の物理蒸着法等の、種々のメタライズ法を利用して、単層構造や、2層以上の多層構造に形成することができる。湿式めっき法では、1回の処理によって十分な厚みを有する金属膜を形成することができるので、電極層31、32や導電層33は、単層構造に形成してもよいが、例えば、CuやNiからなる1層または2層の下地層の上に、Ag、Au等の導電性に優れた金属からなる、厚み0.1~10 μm の表面層を積層した多層構造に形成してもよい。

[0047] 一方、物理蒸着法では、電極層31、32や導電層33を、機能分離した複数の層を積層した多層構造に形成するのが好ましく、かかる多層構造の例としては、例えば、集合基板1に近い側から順に、

(I) Ti、Cr、NiCr、Ta、およびこれら金属の化合物等からなり、集合基板1との密着性に優れた密着層、

(II) Pt、Pd、Cu、Ni、Mo、NiCr等からなり、次に述べる表面層を形成する金属の拡散を防止する機能を有する拡散防止層、ならびに

(III) Ag、Al、Au等からなり、導電性に優れた表面層を積層した3層構造等を挙げることができる。密着層の厚みは0.01~1.0 μm 程度、拡散防止層の厚みは0.01~1.5 μm 程度、表面層の厚みは0.1~10 μm 程度とするのが好ましい。

[0048] また、物理蒸着法と湿式めっき法とを組み合わせ、電極層31、32や導電層33を、多層構造に形成しても良い。例えば、物理蒸着法によって密着層と拡散防止層とを形成した上に、湿式めっき法によって、CuやNiからなる下地層を形成し、さらに物理蒸着法または湿式めっき法によって、Ag、Al、Au等からなる導電性に優れた表面層を形成することができる。

[0049] 主面21側の電極層31の表面には、例えば、搭載した撮像素子PE1の各端子との

間を、ワイヤボンディングWB等を介して接続する際の信頼性を向上させるために、Au等からなるボンディングパッドを設けてもよい。また、外部接続面22側の電極層32の表面には、例えば、デジタルカメラ等の基板に設けた電極層との間をはんだ付け等することによって表面実装する際の信頼性を向上させるために、Au等からなる対はんだ接合層を設けてもよい。

[0050] ただし、前記のように、導電材料としてAuを使用して、単層構造の電極層31、32を形成したり、多層構造の電極層31、32の最表層に配置したりしている場合は、ボンディングパッドや対はんだ接合層を省略してもよい。また、金属層5は、電極層31と同じ面に形成されることから、電極層31の形成と同時に、同じ層構成を有するように形成すればよい。しかし、金属層5は、単に遮光層として機能すればよいため、例えば、電極層31が、前記のような多層構造に形成される場合であっても、金属層5は、十分な厚みを有する1層のみの単層構造に形成してもよい。

[0051] 電極層31、32、金属層5をパターン形成するには、例えば、メタルマスクや、あるいは、フォトリソグラフィーによるマスク等を使用して、前記マスクで覆われずに露出した集合基板1の表面を、前記湿式めっき法や物理蒸着法等によって選択的にメタライズすればよい。また、電極層31、32を多層構造とするためには、絶縁部材1の露出した表面に、異なる金属によるメタライズを繰り返し行えばよい。また、導電層33は、主面21に電極層31や金属層5を形成する際に、あるいは外部接続面22に電極層32を形成する際に、あるいは前記両方の作業を行う際に、貫通穴11の開口をマスクによって覆わずに露出した状態としておくことで、両電極層31、32と同時に、前記両電極層31、32と接続された状態に形成すればよい。

[0052] 前記電極層31、32、導電層33、および金属層5が形成された集合基板1を用いて、半導体素子としての撮像素子PE1を搭載するための半導体素子搭載部材BLを製造するためには、前記集合基板1のうち、境界線Lによって区画された領域1bを、ダイシング等によって除去する。そうすると、残された領域1aがばらばらに分離して、複数の絶縁部材2が形成される。その後、形成された個々の絶縁部材2の主面21上に、例えば、樹脂や低融点ガラス等からなる接合層B1を介して、枠体4を接合すると、主面21の、枠体4の通孔41を介して露出した領域21aが、半導体素子としての撮

像素子PE1を搭載するための素子搭載部とされた、半導体素子搭載部材BLが製造される(図4～図7)。

- [0053] また、集合基板の領域1aの形成間隔と合わせて複数の通孔41を配列した、複数の枠体4となる領域を内包する集合基板を作製し、それを、前記電極層31、32、導電層33、および金属層5が形成された集合基板1の主面21側に、接合層B1を介して接合した後、集合基板1のうち領域1bと、枠体4となる集合基板の、前記領域1bと重なる領域とを、ダイシング等によって除去しても、複数個の、絶縁部材2と枠体4とが積層された半導体素子搭載部材BLを製造することができる。
- [0054] 枠体4は、絶縁部材2と積層した状態での反り等の変形の発生を防止することや、半導体素子との熱膨張係数の差を小さくすることなどを考慮すると、熱膨張係数が $10 \times 10^{-6}/^{\circ}\text{C}$ 以下、特に、 $4 \times 10^{-6} \sim 7 \times 10^{-6}/^{\circ}\text{C}$ で、かつ、絶縁部材2の熱膨張係数との差が $3 \times 10^{-6}/^{\circ}\text{C}$ 以下、特に、 $1 \times 10^{-6}/^{\circ}\text{C}$ 以下である材料によって形成するのが好ましい。さらに言えば、絶縁部材2と同じ材料で枠体4を形成して、熱膨張係数の差を全く無くしてしまうのが好ましい。例えば、絶縁部材2をAlNで形成する場合は、枠体4もAlNで形成するのが好ましく、絶縁部材2を Al_2O_3 で形成する場合は、枠体4も Al_2O_3 で形成するのが好ましい。また、枠体4は、半導体素子が撮像素子である場合、前記枠体4を通して入射する不要な光を遮断するために、遮光性の材料で形成するのが好ましい。
- [0055] 図7を参照して、本発明の撮像装置PE2は、前記半導体素子搭載部材BLの領域21aに、撮像素子PE1を搭載すると共に、前記撮像素子PE1の端子(図示せず)と、電極層31の、前記領域21a内に露出した先端部とを、ワイヤボンディングWBを介して接続した後、枠体4上に、樹脂や低融点ガラス等からなる接合層B2を介して、透光性の材料からなる蓋体FLを接合して構成される。かかる撮像装置PE2によれば、撮像素子PE1に、蓋体FLを通しての露光が可能な状態で、前記撮像素子PE1を封止することができる。撮像素子PE1の各端子は、ワイヤボンディングWB、電極層31、導電層33、および電極層32を介して、デジタルカメラ等の基板に設けた電極層等と接続される。
- [0056] 図8は、本発明の集合基板1の、実施の形態の他の例としての、発光素子搭載用の

絶縁部材2のもとになる集合基板1の一部を拡大した平面図である。また、図9は、前記集合基板1における、貫通穴11の部分を拡大した断面図、図10は、前記集合基板1を切り出した絶縁部材2における、貫通穴11の部分を拡大した断面図である。また、図11は、絶縁部材2の、主面21側を示す平面図、図12は、外部接続面22側を示す底面図である。さらに、図13は、半導体素子搭載部材BLの、絶縁部材2の主面21に、半導体素子としての発光素子LE1を搭載すると共に、封止材としての、蛍光体および／または保護樹脂FRで封止した発光ダイオード構成部材LE2を示す断面図、図14は、発光ダイオード構成部材LE2をパッケージ7に搭載した発光ダイオードLE3を示す断面図である。

[0057] 図8を参照して、この例の集合基板1は、やはり、全体がセラミックによって平板状に形成されたもので、板状の絶縁部材2となる、所定の平面形状(図では矩形状)を有する複数の領域1aと、前記複数の領域1aを区画するように、各領域1aの間に縦横のマトリクス状に設けられた、ダイシングによって除去するための一定幅の領域1bとを包含している。図中の一点鎖線は、領域1a、1bを区画するための境界線Lである。また、各領域1aの、互いに平行な、図において縦方向の2辺に対応する位置には、それぞれ、複数個(図では3個)ずつの貫通穴11が、前記境界線Lの近傍に形成されている。

[0058] 前記集合基板1は、先の例と同様に、そのもとになるセラミックの前駆体(セラミックグリーンシート等)を焼成して平板状に形成した後、後加工で、貫通穴11を形成して作製するのが好ましい。これにより、貫通穴11を、従来のコファイア法では形成することが困難な、高い位置精度でもって形成することができる。また、電極層31、32や導電層33も、焼成後の集合基板1の表面に形成するのが好ましい。その場合には、光の反射率に優れるものの、コファイア法によって形成したMoやW等からなる下地層の上に、めっき法によって形成することが困難であったAl製の層を、電極層31等として形成することもできる。

[0059] 図9を参照して、各貫通穴11を形成する内面は、それぞれ、第1および第2の2つのテーパ面11b、11cで構成されている。そのうち、第1のテーパ面11bは、絶縁部材2の主面21側(図において上面側)から、絶縁部材2の厚み方向の1箇所

設けた、平面形状が円形の最小穴部11aにかけて、開口径が徐々に小さくなるように円錐テーパ状に形成されていると共に、主面21で円形に開口されている。また、第2のテーパ面11cは、絶縁部材2の外部接続面22側(図において下面側)から、前記最小穴部11aにかけて、開口径が徐々に小さくなるように円錐テーパ状に形成されていると共に、外部接続面22で円形に開口されている。

[0060] これにより、第1のテーパ面11bと、それと連続する主面21とが、鈍角である角度 θ_1 で交わると共に、第2のテーパ面11cと、それと連続する外部接続面22とが、やはり鈍角である角度 θ_2 で交わることになるため、例えば、物理蒸着、印刷、めっき等によって、電極層31、32や導電層33を形成する際に、第1のテーパ面11bと主面21との角部、および第1のテーパ面11cと外部接続面22との角部におけるメタライズのはく離や膜厚の不均一を大幅に低減させることができる。そのため、電極層31、32と導電層33とを、接続不良等を生じることなく、確実に接続することができ、発光ダイオード構成部材LE2、および発光ダイオードLE3の信頼性を向上させることが可能となる。

[0061] 図10を参照して、前記貫通穴11は、その内面に導電層33を形成した際に、最小穴部11aの部分が、導電層33を形成する導電材料33aの堆積によって埋められて、切り出し前の状態において、集合基板1の厚み方向に閉じられる。これにより、先に説明したように、次工程で、前記集合基板1の、各絶縁部材2の主面21に搭載した発光素子LE1を、封止材としての蛍光体および／または保護樹脂FRで封止する際に、前記蛍光体および／または保護樹脂FRが、貫通穴11を通して集合基板1の裏面に漏れるのを防止することができる。

[0062] しかし、導電層33を形成する際に、貫通穴11のうち、両テーパ面11b、11cの角部である最小穴部11aの部分において、メタライズのはく離や膜厚の不均一が生じると、最小穴部11aを、導電材料33aによって、良好に埋めることができないおそれがある。最小穴部11aを、導電材料33aによって、良好に埋めることを考慮すると、両テーパ面11b、11cも、鈍角である角度 θ_3 で交わっているのが好ましい。両テーパ面11b、11cのなす角度 θ_3 を鈍角にするためには、サンドブラスト法等による穿孔の条件を調整して、両テーパ面11b、11cのテーパの角度を調整すればよい。

- [0063] 図8および図9を参照して、前記貫通穴11のうち、第2のテーパ面11cは、集合基板1の、絶縁部材2となる領域1aと、各領域1a間の領域1bとの間の、前記境界線Lを跨ぐ位置に形成されている。そして、ダイシング等によって領域1bを除去して各領域1aを切り出すと、図10～図12に示すように、半導体素子搭載部材BLを構成する絶縁部材2の側面23において、前記第2のテーパ面11cの内面に形成した導電層33が、開口11dを介して露出される。そのため、露出された導電層33をはんだフィレットの形成部として機能させて、発光ダイオード構成部材LE2を、他部材、例えば、図14に示す発光ダイオードLE3のパッケージ7等に、はんだ付けによって搭載する際に、形成したはんだフィレットによって、外部接続用の電極層32を補助して、実装の信頼性を向上させることが可能となる。
- [0064] かかる形状を有する貫通穴11を、あらかじめ焼成して平板状に形成した集合基板1に対して、後加工で形成する方法としては、先に説明した、サンドブラスト法による形成方法が好適に採用される。前記方法では、両テーパ面11b、11cの穿孔深さや穿孔径を調整することで、最小穴部11aの開口径や、前記最小穴部11aの、絶縁部材1の厚み方向の形成位置を任意に制御することができる。
- [0065] 図9を参照して、前記のようにして制御される、最小穴部11aの、絶縁部材2の厚み方向の形成位置は、主面21から最小穴部11aまでの距離 h で表して、前記絶縁部材2の厚み t_0 の0倍を超えると共に、 $2/3$ 倍以下の範囲であるのが好ましい。これにより、最小穴部11aの上下にテーパ面11b、11cを確保して、第1のテーパ面11bと主面21とを、鈍角である角度 θ_1 で交わらせると共に、第2のテーパ面11cと外部接続面22とを、やはり鈍角である角度 θ_2 で交わらせることができ、その上に形成される電極層31、32と、導電層33とを、確実に接続することができる。
- [0066] また、最小穴部11aより外部接続面22側の、電極層32と連続する、第2のテーパ面11cにおける導電層33の露出面積を確保して、はんだフィレットの形成部として十分に機能させることもできる。さらに、前記サンドブラスト法を利用した形成方法によって、集合基板1の両側から形成した第1および第2のテーパ面11b、11cを繋ぐことによって、貫通穴11を、変形等を生じることなく、確実に形成することもできる。なお、第2のテーパ面11cにおける、はんだフィレットの形成部として機能する導電層33

の露出面積を十分に確保することを考慮すると、前記距離 h は、絶縁部材2の厚み t_0 の $1/2$ 倍以下であるのが、さらに好ましい。また、前記の形成方法によって貫通穴11を確実に形成するためには、前記距離 h は、 $5\mu\text{m}\sim 50\mu\text{m}$ 程度であるのが、より一層、好ましい。

[0067] また、図9を参照して、最小穴部11aの開口径 d は、 $10\mu\text{m}$ 以上であるのが好ましい。開口径 d が $10\mu\text{m}$ 以上である最小穴部11aは、前記サンドブラスト法等の、通常の加工方法による貫通穴11の形成において、比較的、精度良く形成することができる。また、個々の貫通穴11ごとの、最小穴部11aの開口径 d を揃えた状態で形成することも可能であり、最小穴部11aを形成するために、別の加工工程等を必要としないことから、半導体素子搭載部材BLの生産性を向上させて、コストダウンを図ることができる。

[0068] また、前記最小穴部11aの開口径 d は、 $200\mu\text{m}$ 以下であるのが好ましい。開口径 d が $200\mu\text{m}$ 以下であれば、貫通穴11の内面に導電層33を形成した際に、最小穴部11aを、より効率よく、導電材料33aによって埋めることができるため、蛍光体および／または保護樹脂FRの漏れ等を、より一層、確実に防止することが可能となる。

[0069] なお、貫通穴11の最小穴部11aを、サンドブラスト法等の、通常の加工方法によって、さらに確実に貫通させることと、貫通穴11の内面に導電層33を形成した際に、最小穴部11aを、さらに効率よく、導電材料33aによって埋めることを考慮すると、前記最小穴部11aの開口径 d は、 $50\sim 150\mu\text{m}$ であるのが好ましく、 $75\sim 125\mu\text{m}$ であるのが、より一層、好ましい。

[0070] 集合基板1は、半導体素子搭載部材BLの放熱性を高めて、発光素子LE1の高出力化に対応することを考慮すると、熱伝導率が $10\text{W}/\text{mK}$ 以上であるのが好ましく、中でも $80\text{W}/\text{mK}$ 以上、特に、 $150\text{W}/\text{mK}$ 以上であるのが好ましい。また、機械的強度等の、その他の物性との兼ね合いや、製造コスト等を考慮すると、集合基板1の熱伝導率は、 $300\text{W}/\text{mK}$ 以下であるのが好ましい。

[0071] また、集合基板1は、素子駆動時の熱履歴等によって膨張、収縮した際に、発光素子LE1に過大な応力が加わって、前記素子LE1が破損したり、接合が外れたりするのを防止することを考慮すると、熱膨張係数が $10\times 10^{-6}/^{\circ}\text{C}$ 以下であるのが好まし

い。また、機械的強度等の、その他の物性との兼ね合いや、製造コスト等を考慮すると、集合基板1の熱膨張係数は、 $4 \times 10^{-6} \sim 7 \times 10^{-6} / ^\circ\text{C}$ であるのが好ましい。

[0072] これらの条件を満足する集合基板1を形成する材料としては、 AlN 、 Al_2O_3 、 SiC 、 Si_3N_4 、 BeO 、 BN 等の絶縁性のセラミックを挙げることができる。中でも、特に、高い熱伝導率を達成するためには、 AlN 、 SiC が好ましく、発光素子LE1との熱膨張係数の差を小さくするためには、 AlN 、 Al_2O_3 が好ましい。さらに、コストを最優先するならば、 Al_2O_3 が好ましい。

[0073] 前記各図を参照して、前記集合基板1の主面21には、半導体素子搭載用の電極層31、外部接続面22には、他部材との接続用の電極層32、貫通穴11の内面には、両電極層31、32間を繋ぐ導電層33が形成される。

[0074] それと共に、貫通穴11の最小穴部11aが、導電層33を形成する導電材料33aを堆積させることで埋められて、絶縁部材2を切り出す前の貫通穴11が、集合基板1の厚み方向に閉じた状態とされる。これにより、電極層31上に発光素子LE1を搭載して封止する際に、蛍光体および／または保護樹脂FRが、貫通孔11を通して反対側に漏れるのを防止して、例えば、集合基板1の、発光素子LE1が搭載された主面21側の特定の領域を限定的に封止する手間を省き、その全面を、前記蛍光体および／または保護樹脂FRで封止することができるため、発光ダイオード構成部材LE2の小型化をさらに推進することが可能となる。

[0075] 最小穴部11aの、導電材料33aによって埋められる、集合基板1の厚み方向の厚み t_1 は、集合基板1の厚み t_0 の $1/50 \sim 1/2$ 倍であるのが好ましい。厚み t_1 が、集合基板1の厚み t_0 の $1/50$ 以上であれば、封止時に、その重み等によって、閉じられた貫通穴11が抜けて、蛍光体および／または保護樹脂FRが外部接続面22側に漏れるのを、確実に防止することができる。また厚み t_1 が、集合基板1の厚み t_0 の $1/2$ 以下であれば、最小穴部11aより外部接続面22側の、導電層33の露出面積を確保して、はんだフィレットの形成部として十分に機能させることが可能となる。

[0076] なお、はんだフィレットの形成部として機能する導電層33の露出面積をさらに増加させると共に、封止時に、その重み等によって、閉じられた貫通穴11が抜けて、蛍光体および／または保護樹脂FRが外部接続面22側に漏れるのを、より一層、確実に

防止することを考慮すると、最小穴部11aの、導電材料33aによって埋められる、集合基板1の厚み方向の厚み t_1 は、集合基板1の厚み t_0 の $1/20 \sim 1/5$ 倍であるのがさらに好ましい。

[0077] 貫通穴11の内面に形成される導電層33の厚み t_2 は、最小穴部11aの開口径 d の $0.2 \sim 1.0$ 倍であるのが好ましい。厚み t_2 が、開口径 d の 0.2 倍以上であれば、貫通穴11の内面に導電層33を形成した際に、最小穴部11aを、より効率よく、導電材料33aによって埋めることができるため、蛍光体および／または保護樹脂FRの漏れ等をより確実に防止することが可能となる。

[0078] ただし、厚み t_2 が開口径 d の 1.0 倍を超えても、それ以上の効果が得られないだけでなく、余分の導電材料33aを必要とするため、最小穴部11aを埋める際の効率が、却って低下するおそれがある。したがって、厚み t_2 は、開口径 d の 1.0 倍以下であるのが好ましい。なお、最小穴部11aをより一層、効率よく、導電材料33aによって埋めることを考慮すると、導電層33の厚み t_2 は、最小穴部11aの開口径 d の $0.3 \sim 0.5$ 倍であるのがさらに好ましい。

[0079] 半導体素子搭載用の電極層31は、集合基板1の、個々の絶縁部材2となる領域1aの主面21側に、それぞれ2つずつ、互いに面方向に離間させて形成することで、絶縁された状態で設けられている。また、外部接続用の電極層32は、前記集合基板1の、個々の絶縁部材2となる領域1aの外部接続面22側に、やはり、それぞれ2つずつ、互いに面方向に離間させて形成することで、絶縁された状態で設けられている。そして、主面21側の2つの電極層31と、外部接続面22側の2つの電極層32とは、それぞれ、集合基板1の表裏両面に対応するもの同士が、両電極層31、32の、絶縁部材2となる領域1aの外周縁側の、それぞれ3箇所に形成した貫通穴11の内面の導電層33を介して接続されている。

[0080] 詳しくは、その平面形状が略矩形状に形成された電極層31と、前記電極層31の側辺31aから貫通穴11の方向に延長されて、貫通穴11の、主面21側の開口の周囲に達する延設電極層31bと、貫通穴11の内面の導電層33とが一体に形成されて、互いに接続されている。また、その平面形状が略矩形状で、かつ貫通穴11の、外部接続面22側の開口と一部で重なるように形成された電極層32と、貫通穴11の内面

の導電層33とが、同様に一体に形成されて、互いに接続されている。

- [0081] 外部接続面22に設ける電極層32の面積の合計の、前記外部接続面22の面積に占める割合は、30%以上であるのが好ましい。これにより、発光ダイオード構成部材LE2を、半導体素子搭載部材BLの外部接続面22側の電極層32と、発光ダイオードLE3のパッケージ7や面発光体の基板に設けた電極層との間で、はんだ付けにより表面実装する際に、半導体素子搭載部材BLと、パッケージ7や基板との間の放熱経路を十分に確保することができるため、発光ダイオードLE3の高出力化を図ることが可能となる。
- [0082] なお、放熱経路をより一層、十分に確保することを考慮すると、電極層32の面積の合計の、外部接続面22の面積に占める割合は、50%以上であるのが好ましく、70%以上であるのがさらに好ましい。ただし、2つ以上の電極層32を、前記のように互いに面方向に離間させて形成する際の、両電極層32間の絶縁性を十分に確保することを考慮すると、電極層32の面積の合計の、外部接続面22の面積に占める割合は、90%以下であるのが好ましい。
- [0083] 電極層31、32、および導電層33は、前記と同様に、導電性に優れた金属材料などを用いて、単層構造や、2層以上の多層構造に形成することができる。電極層31、32をパターン形成するためには、これも前記と同様の方法が採用される。電極層31の表面には、Ag、AlまたはAl合金等からなり、発光素子LE1からの光、特に、波長600nm以下の短波長の光を高い反射率で反射するための反射層を設けてもよい。中でもAlは、特に、450nm以下の短波長の光の反射率に優れており、蛍光体と組み合わせることで白色発光させるために用いる、短波長の発光素子LE1の発光効率を向上できる点で好ましい。
- [0084] なお、これらの金属を、導電材料として使用して、単層構造の電極層31を形成したり、多層構造の電極層31の最表層に配置したりしている場合は、反射層を省略してもよい。また、電極層32の表面には、先に説明した、Au等からなる対はんだ接合層を形成してもよいし、Auを導電材料として使用して、単層構造の電極層32を形成したり、多層構造の電極層32の最表層に配置したりすることで、対はんだ接合層を省略してもよい。

- [0085] 前記集合基板1を用いて、半導体素子としての発光素子LE1を搭載するための半導体素子搭載部材BLを製造すると共に、発光ダイオード構成部材LE2を作製するためには、集合基板1に包含される各領域1aの電極層31上に、それぞれ、発光素子LE1を搭載すると共に、集合基板1の全面を、封止材としての蛍光体および／または保護樹脂FRで封止した後、集合基板1の領域1bをダイシング等によって除去する。そうすると、残された領域1aがばらばらに分離されて、半導体素子搭載部材BLが形成されるのと同時に、図13に示す発光ダイオード構成部材LE2が得られる。発光素子LE1の搭載は、半導体素子搭載部材BLの電極層31と、発光素子LE1の、図示しない電極層とを、はんだ層SLを介してはんだ付けすることによって行われる。
- [0086] 発光素子LE1の搭載に使用するはんだとしては、後工程でも、発光ダイオード構成部材LE2を、パッケージ7や基板に対してはんだ実装することを考慮すると、比較的融点の高いAu-Sn系、Au-Ge系、Au-Si系等のはんだを用いるのが好ましい。また、発光素子LE1は、はんだ付けでなく、Auバンプを用いて、半導体素子搭載部材BLに搭載しても良い。また、発光素子LE1を、はんだや接着ペーストを用いて、半導体素子搭載部材BLに搭載した後、発光素子LE1と、電極層31とを、ワイヤボンディングによって接続しても良い。
- [0087] 発光素子LE1を封止するための保護樹脂としては、エポキシ系、シリコン系等の、従来公知の、種々の保護樹脂が使用可能である。特に、耐熱性や紫外線に対する耐性等を考慮すると、シリコン系樹脂が好ましい。また、蛍光体としては、例えば波長600nm以下、特に、450nm以下の短波長の光を放射する発光素子LE1と組み合わせることで白色発光させることができる、従来公知の種々の蛍光体が挙げられる。蛍光体と保護樹脂とを併用する場合は、電極層31上に搭載した発光素子LE1を、先に、蛍光体で封止後、蛍光体を覆うように保護樹脂で封止するのが好ましい。また、蛍光体と保護樹脂の混合物で封止することもできる。
- [0088] 半導体素子搭載部材BLの面積、すなわち、この例では、絶縁部材2の、主面21および外部接続面22の面積は、主面21に搭載する発光素子LE1の面積(主面21上への投影面積)の1.1～4倍であるのが好ましい。半導体素子搭載部材BLの面積が、発光素子LE1の面積の4倍を超える場合には、その外形を極力、小さくして省スぺ

ース化を図り、それによって、半導体素子搭載部材BLの主面21側に発光素子LE1を搭載して形成される発光ダイオード構成部材BL2を、従来の、発光素子のチップと同様に、1つの部材として取り扱いながら、発光ダイオードLE3のパッケージ7に組み込んだり、面発光体の基板に搭載したりすることができなくなるおそれがある。また、半導体素子搭載部材BLが大きくなりすぎて、発光素子LE1の不良が生じた際に生じる材料の無駄が、従来のパッケージの場合と、ほとんど変わらなくなってしまうおそれもある。

[0089] 特に、先に説明した熱伝導率の高い材料からなる絶縁部材2は高価であるので、その面積は、前記の範囲内でも、できるだけ小さくするのが好ましい。すなわち、半導体素子搭載部材BLの面積は、材料の無駄をなくすることを考慮すると、前記の範囲内でも、特に、発光素子LE1の面積の3.5倍以下とするのが好ましく、3.0倍以下とするのがさらに好ましい。

[0090] また、半導体素子搭載部材BLの面積が、発光素子LE1の面積の1.1倍未満では、発光素子LE1の搭載作業が難しくなるおそれがある。また、特に、発光素子LE1の側面側における、保護樹脂等による封止が不十分になるおそれもある。なお、搭載の作業性を向上させたり、発光素子LE1を、保護樹脂等によって、より確実に封止したりすることを考慮すると、半導体素子搭載部材BLの面積は、前記の範囲内でも、特に、発光素子LE1の面積の1.3倍以上とするのが好ましく、1.5倍以上とするのがさらに好ましい。

[0091] 絶縁部材2の厚みは、強度を十分に確保しつつ、半導体素子搭載部材BLの容積をできるだけ小さくすることを考慮すると、0.1～1mmとするのが好ましく、0.2～0.5mmとするのがさらに好ましい。

[0092] 前記の発光ダイオード構成部材LE2を複数個、基板上に搭載すれば面発光体を構成することができる。また、発光ダイオード構成部材LE2は、発光ダイオードデバイスの最終形態として使用することもできる。例えば、プリント回路基板等の回路基板や、液晶のバックライト構成部材の所望の位置に、リフロー等の方法ではんだ実装して、発光ダイオードとして機能させることもできる。

[0093] また、図14を参照して、前記の発光ダイオード構成部材LE2を、凹部7aを有する

パッケージ7の、凹部7aの底面に設けた2つの電極層72上に搭載すると共に、凹部7aの開口7bを、発光ダイオード構成部材LE2からの光を透過し得る材料にて形成した封止キャップまたはレンズLSで封止すると、発光ダイオードLE3を得ることができる。

- [0094] 発光ダイオード構成部材LE2の搭載は、半導体素子搭載部材BLの電極層32と、パッケージ7の電極層72とを、はんだ層SL1を介してはんだ付けすることによって行われる。その際、溶融したはんだの一部が、貫通穴11のうち、第2のテーパ面11cの内面に形成され、絶縁部材2の側面23において露出した導電層33に回り込んで、はんだフィレットSL2が形成されるため、実装の信頼性が向上する。
- [0095] パッケージ7は、図において上面側に、電極層72が形成された基板70と、前記基板70上に積層された、凹部7aとなる通孔を有する反射部材71とを備えている。また、反射部材71の通孔は、底面側から開口7b側へ向けて外方に拡がったすり鉢状に形成されており、その内面が、反射面71aとされている。そして、発光ダイオード構成部材LE2からの光を、前記反射面71aの表面によって開口7bの方向に反射させて、レンズLSを通して、パッケージ7の外部に、より効率よく放射させることができる。
- [0096] 基板70としては、セラミック基板やガラスエポキシ基板等の、絶縁性でかつ耐熱性の基板が用いられる。また、反射部材71としては、発光ダイオード構成部材LE2からの光を効率よく反射させるために、その全体または少なくとも反射面71aが金属によって形成されたものが用いられる。
- [0097] 前記図9の貫通穴11を、その全体が、集合基板1の、領域1a内に入る位置に形成することもできる。その場合は、テーパ面11cが、絶縁部材2の側面23において露出されないため、このテーパ面11cに形成する導電層33を、はんだフィレットの形成部として機能させる必要がない。そのため、貫通穴11を、導電材料33aで完全に埋めてしまっても良い。
- [0098] 図15は、本発明の半導体素子搭載部材BLの、実施の形態の他の例における、貫通穴11の部分を拡大した、図17のV方向矢視側面図、図16は、貫通穴11の内面に導電層33を形成する前の、同じ貫通穴11の状態を示す側面図である。また、図17は、前記例の半導体素子搭載部材BLの、主面21側を示す平面図、図18は、外部

接続面22側を示す底面図である。さらに、図19は、前記例の半導体素子搭載部材BLのもとになる絶縁部材2を、集合基板1から切り出す前の、貫通穴11の部分を拡大した平面図、図20は、図19のB-B線断面図である。

[0099] これらの図を参照して、この例の半導体素子搭載部材BLは、貫通穴11の形状以外の点は、先の図8～図14の例とほぼ同様に構成される。すなわち、図17、図18を参照して、この例の半導体素子搭載部材BLは、片面が、発光素子搭載のための主面21、反対面が、他部材との接続のための外部接続面22とされる矩形平板状の絶縁部材2と、前記絶縁部材2の主面21に、互いに面方向に離間させて形成することで、絶縁された状態で設けられる、発光素子搭載用の2つの電極層31と、外部接続面22に、互いに面方向に離間させて形成することで、絶縁された状態で設けられる、他部材との接続用の2つの電極層32とを備えている。

[0100] 主面21側の2つの電極層31と、外部接続面22側の2つの電極層32とは、それぞれ、絶縁部材2の表裏両面に対応するもの同士が、両電極層31、32の、絶縁部材2の外周縁側の、それぞれ1ヶ所に形成した、絶縁部材2を厚み方向に貫通する貫通穴11の内面に形成した導電層33を介して接続されている。

[0101] 詳しくは、その平面形状が略矩形状で、なおかつ、2つの電極層31間に一定幅の隙間を有する以外は、主面21の全面を覆う電極層31と、貫通穴11の内面の導電層33とが一体に形成されて、互いに接続されている。また、その平面形状が略矩形状に形成された電極層32と、前記電極層32の一側辺32aから貫通穴11の方向に延長されて、貫通穴11の、外部接続面22側の開口の周囲に達する延設電極層32bと、貫通穴11の内面の導電層33とが一体に形成されて、互いに接続されている。

[0102] 前記半導体素子搭載部材BLと、その主面21に発光素子LE1が搭載され、蛍光体および／または保護樹脂で封止された発光ダイオード構成部材LE2とを作製するためには、先の例と同様に、複数の絶縁部材2を含む大きさを有する集合基板1を用意し、前記集合基板1を、境界線Lによって絶縁部材2となる複数の領域1aに区画して、所定の位置に貫通穴11を形成すると共に、片面に電極層31、反対面に電極層32、貫通穴11の内面に導電層33を形成し、さらに、電極層31上に発光素子LE1を搭載して、封止材としての蛍光体および／または保護樹脂FRで封止した後、各領

域1aを個別に切り出すことが行われる。

[0103] 図15、図16、図19、および図20を参照して、各貫通穴11を形成する内面は、それぞれ、第1および第2の2つのテーパ面11b、11cで構成されている。そのうち、第1のテーパ面11bは、絶縁部材2の主面21側(図において上面側)から、絶縁部材2の厚み方向の1箇所にしたけた、貫通穴11の他の部分より開口幅dの小さい、平面形状が長円形の最小穴部11aにかけて、開口幅が徐々に小さくなるように、テーパ状に形成されていると共に、主面21で長円形に開口されている。また、第2のテーパ面11cは、絶縁部材2の外部接続面22側(図において下面側)から、前記最小穴部11aにかけて、開口幅が徐々に小さくなるように、テーパ状に形成されていると共に、外部接続面22で長円形に開口されている。

[0104] また、前記貫通穴11は、集合基板1上の、境界線Lによって区画された2つの、半導体素子搭載部材BLとなる領域1aと、その間の、ダイシング等によって除去される領域1bとに跨って形成されている。そして、貫通穴11の内面に導電層33を形成した際に、最小穴部11aの部分が、導電層33を形成する導電材料33aの堆積によって埋められて、前記貫通穴11が、図19、図20に示す切り出し前の状態において、集合基板1の厚み方向に閉じられている。

[0105] そのため、電極層31上に発光素子LE1を実装して封止する際に、蛍光体および／または保護樹脂FRが、貫通穴11を介して反対面側に漏れるのを防止できることから、例えば、集合基板1の、発光素子LE1が搭載された主面21側の特定の領域を限定的に封止する手間を省いて、その全面を、蛍光体および／または保護樹脂FRで封止することができ、発光ダイオード構成部材LE2の小型化をさらに推進することが可能となる。

[0106] また、ダイシング等によって領域1bを除去して各領域1aを切り出すと、図15～図18に示すように、半導体素子搭載部材BLを構成する絶縁部材2の側面23において、前記第2のテーパ面11cの内面に形成した導電層33が、開口11dを介して露出される。そのため、露出された導電層33を、はんだフィレットの形成部として機能させて、発光ダイオード構成部材LE2を、他部材、例えば、発光ダイオードLE3のパッケージ7等に、はんだ付けによって搭載する際に、形成したはんだフィレットによって、外

部接続用の電極層32を補助して、実装の信頼性を向上させることが可能となる。

[0107] 図の形状を有する貫通穴11は、やはり、サンドブラスト法によって形成するのが好ましい。すなわち、集合基板1の、外部接続面22となる片面側に、貫通穴11の開口に対応させて、レジスト膜で保護せずに露出させる領域の形状を長円形として、サンドブラスト法によって、集合基板1の露出した領域を、選択的に、厚み方向に穿孔して第2のテーパ面11cを形成するとともに、主面21となる反対面側においても、同様に、貫通穴11の開口に対応させて、レジスト膜で保護せずに露出させる領域の形状を長円形として、サンドブラスト法によって、集合基板1の露出した領域を、選択的に、厚み方向に穿孔して第1のテーパ面11bを形成すると、サンドブラスト法による穿孔の特徴として、穿孔が進むほどその開口寸法が小さくなることから、図19、図20に示す形状の貫通穴11が形成される。

[0108] 貫通穴11の各部の寸法は、先の例と同様の理由で、同様の範囲とするのが好ましい。すなわち、図15、16を参照して、最小穴部11aの、絶縁部材2の厚み方向の形成位置は、主面21から最小穴部11aまでの距離 h で表して、前記絶縁部材1の厚み t_0 の0倍を超え、かつ、 $2/3$ 倍以下の範囲であるのが好ましく、絶縁部材1の厚み t_0 の $1/2$ 倍以下であるのがさらに好ましい。また、 $5\mu\text{m} \sim 50\mu\text{m}$ 程度であるのがより一層、好ましい。また、最小穴部11aの開口幅 d は、 $10 \sim 200\mu\text{m}$ であるのが好ましく、 $50 \sim 150\mu\text{m}$ であるのがさらに好ましく、 $75 \sim 125\mu\text{m}$ であるのがより一層、好ましい。なお、ここで言う開口幅 d とは、矩形状の中央部の両端に、それぞれ半円を繋いだ形状に相当する長円の、両端の半円の中心間を結ぶ中心線と直交する方向の幅を指すこととする。

[0109] 最小穴部11aの、導電材料33aによって埋められる、絶縁部材2の厚み方向の厚み t_1 は、絶縁部材1の厚み t_0 の $1/50 \sim 1/2$ 倍であるのが好ましく、 $1/20 \sim 1/5$ 倍であるのがさらに好ましい。また、貫通穴11の内面に形成される導電層33の厚み t_2 は、最小穴部11aの開口幅 d の $0.2 \sim 1.0$ 倍であるのが好ましく、 $0.3 \sim 0.5$ 倍であるのがさらに好ましい。

[0110] 貫通穴11以外の各部の寸法も、先の例と同様の理由で、同様の範囲とするのが好ましい。すなわち、絶縁部材2の、主面21および外部接続面22の面積は、主面21に

搭載する発光素子LE1の面積(主面21上への投影面積)の1.1~4倍であるのが好ましく、1.3~3.5倍であるのがさらに好ましく、1.5~3.0倍であるのがより一層、好ましい。また、絶縁部材2の厚みは、0.1~1mmとするのが好ましく、0.2~0.5mmとするのがさらに好ましい。

- [0111] 外部接続面22に設ける電極層32の面積の合計の、前記外部接続面22の面積に占める割合は、30%以上であるのが好ましく、50%以上であるのがさらに好ましく、70%以上であるのがより一層、好ましい。また、前記割合は、90%以下であるのが好ましい。

電極層31、32および導電層33は、いずれも、従来公知の種々の、導電性に優れた金属材料などによって、湿式めっき法や、あるいは真空蒸着法、スパッタリング法などの物理蒸着法等の、種々のメタライズ法を利用して、単層構造や、2層以上の多層構造に形成することができる。電極層31は、少なくともその表面を、Ag、AlまたはAl合金等によって形成するのが好ましく、電極層32は、少なくともその表面を、Auによって形成するのが好ましい。

- [0112] 絶縁部材2は、熱伝導率が $10\text{W}/\text{mK}$ 以上、熱膨張係数が $10\times 10^{-6}/^{\circ}\text{C}$ 以下のセラミックによって形成するのが好ましく、セラミック製の絶縁部材2を含むこの例の半導体素子搭載部材BLは、絶縁部材2のもとになるセラミックの前駆体(セラミックグリーンシート等)を焼成して板状の集合基板1を形成した後、前記集合基板1に対して、後加工で、貫通穴11、電極層31、32および導電層33を形成する工程を経て作製するのが好ましい。

- [0113] 発光ダイオード構成部材LE2は、前記のように、複数個の絶縁部材2を含む大きさを有する集合基板1を複数個の領域1aに区画して、所定の位置に貫通穴11を形成し、片面に電極層31、反対面に電極層32、貫通穴11の内面に導電層33を形成すると共に、前記貫通穴11の最小穴部11aを、導電材料33aの体積によって埋めた状態で、電極層31上に発光素子LE1を搭載して蛍光体および/または保護樹脂FRで封止した後、各領域1aを個別に切り出すことで、半導体素子搭載部材BLを形成すると同時に製造される。

- [0114] また、前記発光ダイオード構成部材LE2を複数個、基板上に搭載すれば面発光体

を構成することができる。また、発光ダイオード構成部材LE2は、発光ダイオードデバイスの最終形態として使用することもできる。例えば、プリント回路基板等の回路基板や、液晶のバックライト構成部材の所望の位置に、リフロー等の方法ではんだ実装して、発光ダイオードとして機能させることもできる。

[0115] また、前記発光ダイオード構成部材LE2を、図14のパッケージ7の、凹部7aの底面に設けた2つの電極層72上に、はんだ層SL1を介してはんだ付けすることによって搭載すると共に、凹部7aの開口7bを、発光ダイオード構成部材LE2からの光を透過し得る材料にて形成した封止キャップまたはレンズLSで封止すると、発光ダイオードLE3を得ることができる。その際、溶融したはんだの一部が、貫通穴11のうち、第2のテーパ面11cの内面に形成され、絶縁部材2の側面23において露出した導電層33に回り込んで、はんだフィレットSL2が形成されるため、実装の信頼性が向上する。

[0116] 図21、図22に示すように、貫通穴11の内面は、図9、図10の円錐テーパ形状と、図19、図20のテーパ形状とを組み合わせた形状に形成してもよい。すなわち、図の貫通穴11の内面は、半導体発光素子搭載部材BLとなる隣り合う2つの領域1a内に、それぞれ設けられた、2つの第1のテーパ面11bと、前記2つの領域1aと、その間の領域1bとに跨って設けられて、前記2つの第1のテーパ面11bと、前記2つの領域1a内に設けられた2つの最小穴部11aを介して繋がれた、1つの第2のテーパ面11cとで構成されている。

[0117] 前記のうち、2つの第1のテーパ面11bは、それぞれ、絶縁部材2の主面21a側(図において上側)から、平面形状が円形の2つの最小穴部11aにかけて、開口径が徐々に小さくなるように円錐テーパ状に形成されていると共に、それぞれの領域1a内において、主面21で円形に開口されている。また、第2のテーパ面11cは、絶縁部材2の外部接続面22側(図において下側)から、前記2つの最小穴部11aにかけて、その平面形状が、矩形状の中央部の両端に、それぞれ、前記2つの最小穴部11aと同心状の半円を繋いだ長円形に形成され、かつ、先に定義した長円の開口幅が徐々に小さくなるようにテーパ状に形成されていると共に、隣り合う2つの領域1aと、その間の領域1bとに跨った状態で、外部接続面22で長円形に開口されている。

[0118] 前記貫通穴11は、やはりサンドブラスト法によって形成するのが好ましい。すなわち

、集合基板1の、外部接続面22となる片面側に、貫通穴11の開口に対応させて、レジスト膜で保護せずに露出させる領域の形状を長円形として、サンドブラスト法によって、集合基板1の露出した領域を、選択的に、厚み方向に穿孔して長円形の第2のテーパ面11cを形成するとともに、主面21となる反対面側においては、貫通穴11の開口に対応させて、レジスト膜で保護せずに露出させる領域の形状を円形として、サンドブラスト法によって、集合基板1の露出した領域を、選択的に、厚み方向に穿孔して、第2のテーパ面11cの長円の両端にそれぞれ1つずつ、計2つの第1のテーパ面11bを形成すると、サンドブラスト法による穿孔の特徴として、穿孔が進むほどその開口寸法が小さくなることから、図21、図22に示す形状の貫通穴11が形成される。

[0119] 前記貫通穴11は、その内面に導電層33を形成した際に、最小穴部11aの部分が、導電層33を形成する導電材料33aの堆積によって埋められて、切り出し前の集合基板1において厚み方向に閉じられているため、蛍光体および／または保護樹脂FRが貫通穴11を介して反対側に漏れるのを防止することができる。また、隣り合う領域1a間の領域1bを、ダイシング等によって除去して、領域1aを個々の絶縁部材として切り出した際には、貫通穴11のうち、第2のテーパ面11cの内面に形成した導電層33が、絶縁部材2の側面23において露出されるため、前記導電層33を、はんだフィレットの形成部として機能させることができる。なお、貫通穴11の各部の寸法、およびそれ以外の各部の寸法は、いずれも、先の2つの例と同様の理由で、同様の範囲とするのが好ましい。

[0120] 本発明の構成は、以上で説明した各図の例のものには限定されず、本発明の要旨を変更しない範囲で、種々の設計変更を施すことができる。

請求の範囲

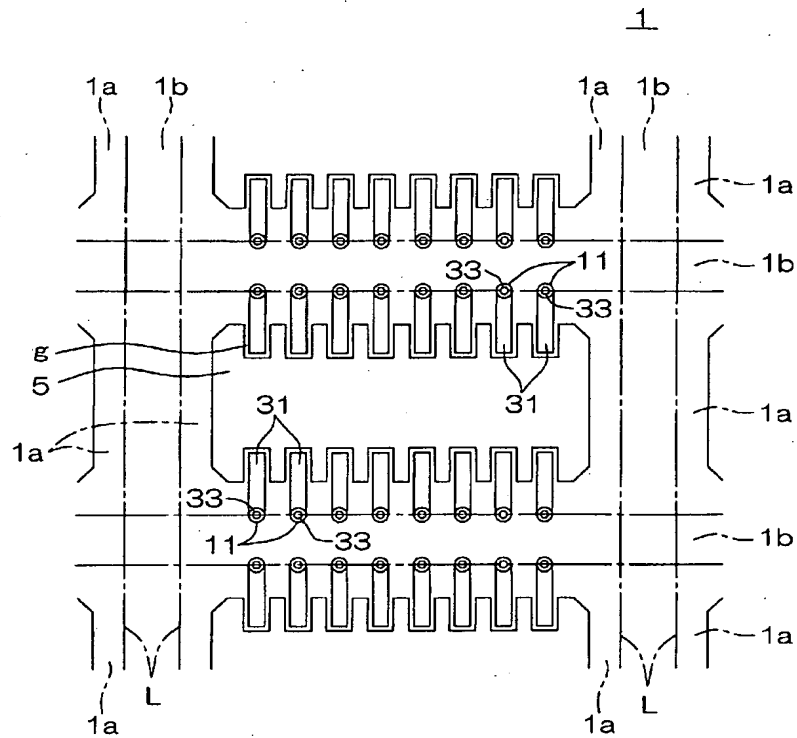
- [1] 片面が、半導体素子搭載のための主面、反対面が、他部材との接続のための外部接続面とされた板状の絶縁部材を、複数、同一平面上に配列した形状に、セラミックによって一体に形成され、個々の絶縁部材となる領域内の所定位置、および、各領域とその外側の領域との境界線を跨ぐ位置のうちの少なくとも一方に、それぞれ、絶縁部材の厚み方向に貫通する貫通穴が形成されていると共に、各貫通穴を形成する内面が、前記主面側および外部接続面側の開口から、絶縁部材の厚み方向の1箇所設けた最小穴部にかけて、それぞれ、開口寸法が徐々に小さくなるようにテーパ状に形成されていることを特徴とする集合基板。
- [2] 熱伝導率が、 $10\text{W}/\text{mK}$ 以上である請求項1記載の集合基板。
- [3] 熱膨張係数が、 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下である請求項1記載の集合基板。
- [4] 集合基板のもとになる板状の前駆体を焼成した後、貫通穴を形成して製造される請求項1記載の集合基板。
- [5] 絶縁部材となる領域の主面側に形成された、半導体素子搭載用の電極層と、外部接続面側に形成された、他部材との接続用の電極層と、貫通穴内に形成された、主面側の電極層と外部接続面側の電極層とを接続する導電層とを備えている請求項1記載の集合基板。
- [6] 請求項5記載の集合基板を、各領域ごとに切り出して製造されることを特徴とする半導体素子搭載部材。
- [7] 外部接続面の電極層の、最表面の少なくとも一部が、Auによって形成されている請求項6記載の半導体素子搭載部材。
- [8] 主面に、半導体素子搭載のための領域が設定された絶縁部材と、前記主面上に、前記領域を囲むように積層された枠体とを備えている請求項6記載の半導体素子搭載部材。
- [9] 絶縁部材と枠体の熱膨張係数が、共に $10 \times 10^{-6}/^{\circ}\text{C}$ 以下で、かつ、枠体の熱膨張係数と絶縁部材の熱膨張係数との差が、 $3 \times 10^{-6}/^{\circ}\text{C}$ 以下である請求項8記載の半導体素子搭載部材。
- [10] 絶縁部材の主面の、枠体で囲まれた半導体素子搭載のための領域の面積の80%

以上が、少なくとも、半導体素子搭載用の電極層を含む金属層によって覆われている請求項8記載の半導体素子搭載部材。

- [11] 請求項8記載の半導体素子搭載部材と、前記半導体素子搭載部材の、絶縁部材の主面の、枠体で囲まれた領域に搭載された、半導体素子としての撮像素子と、前記枠体の上面に、枠体内を密閉するために接合された、透光性の板材からなる蓋体とを備えていることを特徴とする撮像装置。
- [12] 請求項6記載の半導体素子搭載部材と、前記半導体素子搭載部材のうち、絶縁部材の主面に搭載された半導体素子とを備えていると共に、前記半導体素子が、封止材で封止されていることを特徴とする半導体装置。
- [13] 貫通穴の最小穴部を、導電層を形成する導電材料によって埋めて、前記貫通穴を厚み方向に閉じた状態とした、請求項5記載の集合基板の、個々の絶縁部材となる領域の主面に、半導体素子を搭載し、次いで、前記集合基板の、半導体素子を搭載した主面側の全面を、封止材で封止した後、前記集合基板を、封止材と共に、各領域ごとに切り出して製造され、切り出した後の貫通穴の少なくとも一部が、絶縁部材の、主面および外部接続面と交差する側面において開放されていることを特徴とする半導体装置。
- [14] 請求項12または13記載の半導体装置の、半導体素子が発光素子で、かつ、封止材が、蛍光体および保護樹脂のうちの少なくとも一方であることを特徴とする発光ダイオード構成部材。
- [15] 絶縁部材の主面の電極層の、最表面の少なくとも一部が、Ag、AlまたはAl合金によって形成されている請求項14記載の発光ダイオード構成部材。
- [16] 凹部を有するパッケージと、前記パッケージの凹部の底面に搭載された、請求項14記載の発光ダイオード構成部材と、凹部の開口に、前記凹部を密閉するために接合された、発光ダイオード構成部材からの光を透過しうる材料からなる封止キャップまたはレンズとを備えていることを特徴とする発光ダイオード。

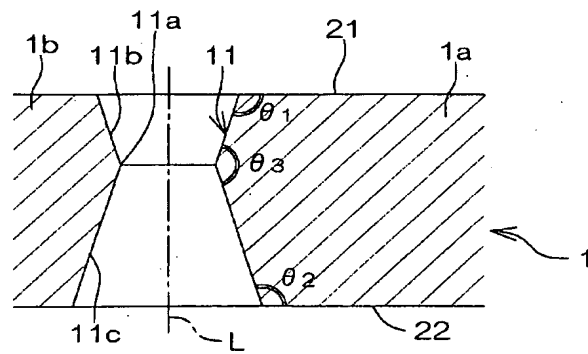
[図1]

図1



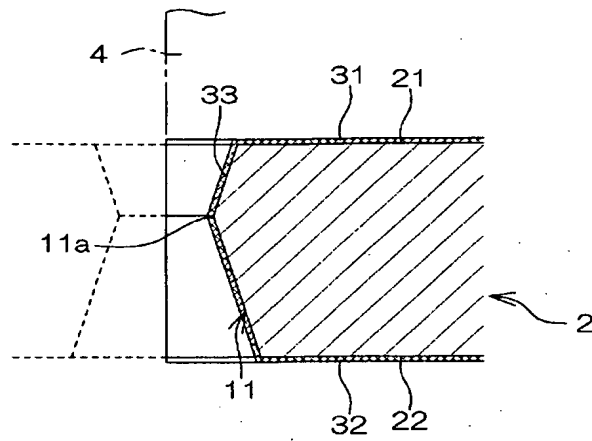
[図2]

図2



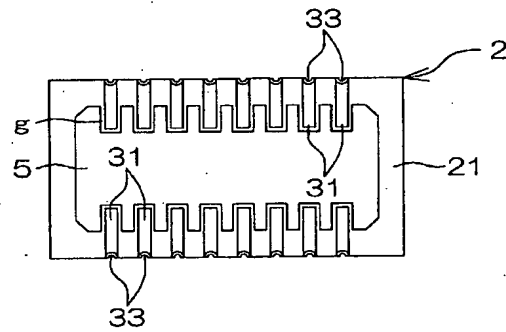
[図3]

図3



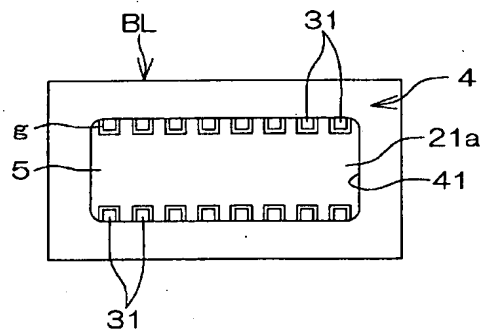
[図4]

図4



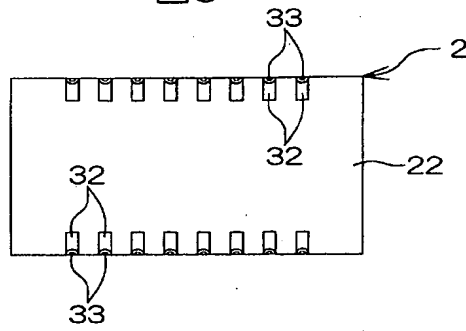
[図5]

図5



[図6]

図6



[図7]

図7

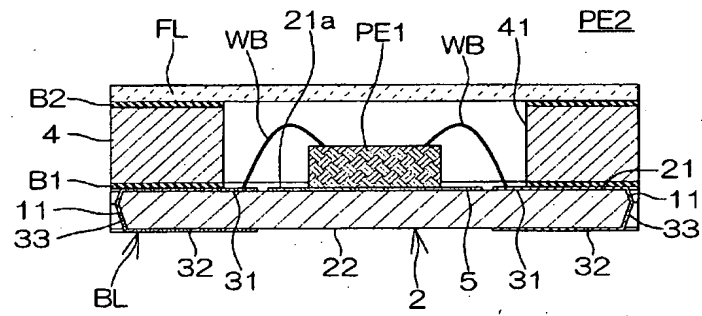
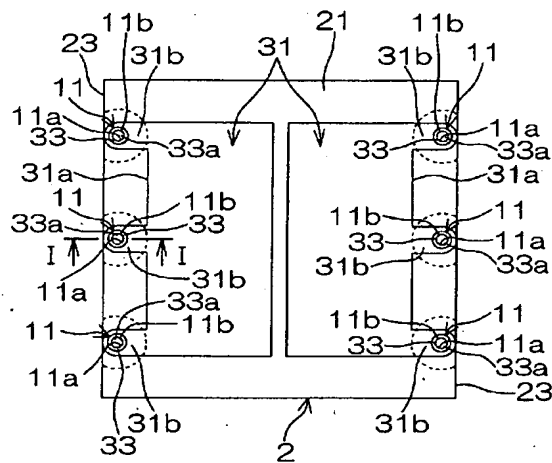


图 10

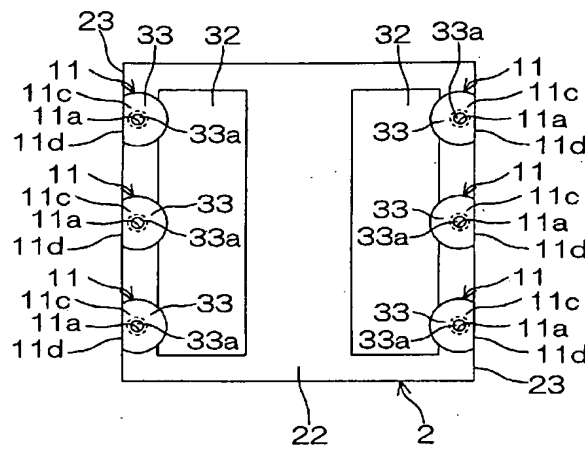


图 11



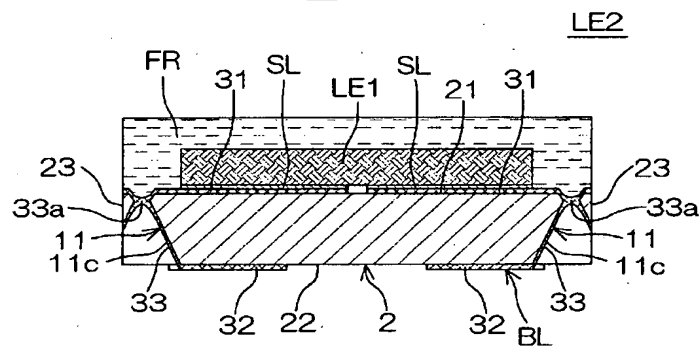
[図12]

図12



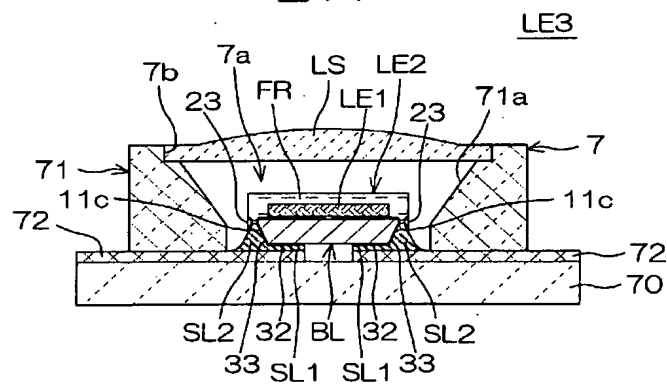
[図13]

図13



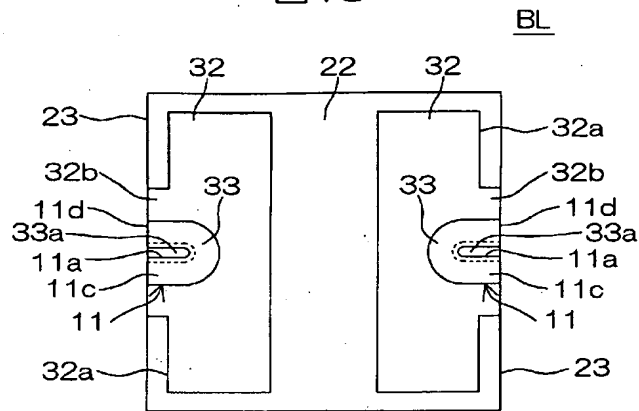
[図14]

図14



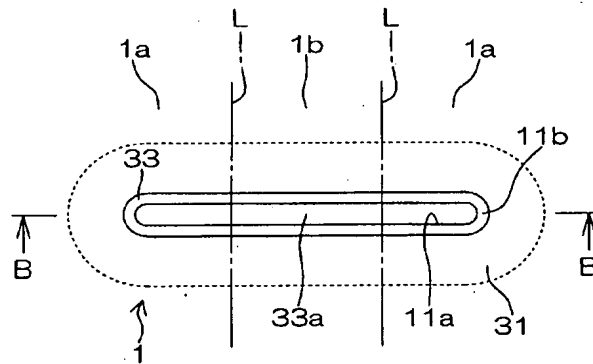
[図18]

図18



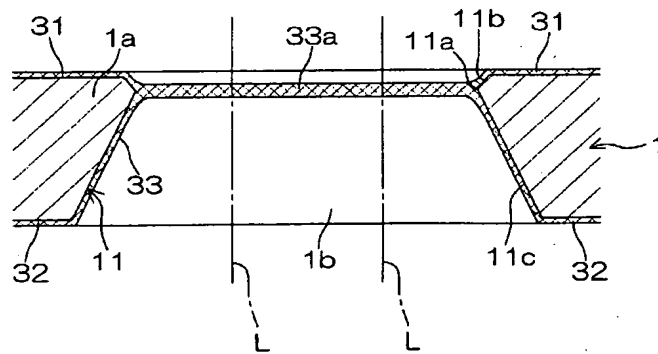
[図19]

図19



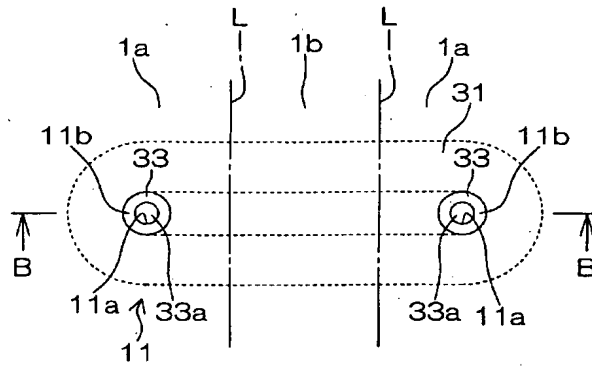
[図20]

図20



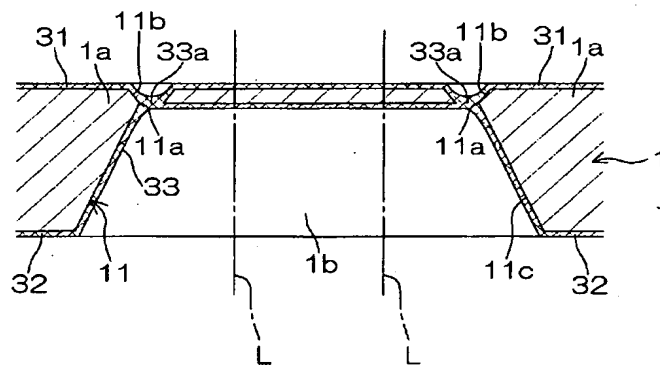
[図21]

図21



[図22]

図22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/013402

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-235621 A (Ibiden Co., Ltd.), 05 September, 1995 (05.09.95), (Family: none)	1-16
A	JP 11-238830 A (Hitachi Cable, Ltd.), 31 August, 1999 (31.08.99), (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 August, 2005 (08.08.05)Date of mailing of the international search report
23 August, 2005 (23.08.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L23/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-235621 A(イビデン株式会社)1995.09.05 (ファミリーなし)	1-16
A	JP 11-238830 A(日立電線株式会社)1999.08.31 (ファミリーなし)	1-16

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

08.08.2005

国際調査報告の発送日

23.8.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

電話番号 03-3581-1101 内線 3471

4R

9265